



KOREAN PATENT ABSTRACTS

(11)Publication
number:

1020010077989 A

(43)Date of publication of application:

20.08.2001

(21)Application number: 1020010002238

(71)Applicant:

TDK CORPORATION

(22)Date of filing: 15.01.2001

(72)Inventor:

TAKAYAMA ICHIRO

(51)Int. Cl.

H05B 33 /00

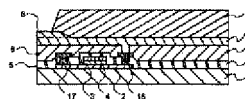
(54) THIN FILM DISPLAY DEVICE

(57) Abstract:

PURPOSE: To provide a thin film display device having high luminance and high reliability driven by an active matrix method by increasing the proportion of a thin film light-emitting element in the pixel.

CONSTITUTION: The thin film display device has a thin film display element 9 which is driven by a current to emit light in each pixel and has a silicon thin film layer 2 in which a circuit to drive the thin film display element 9 is formed on a substrate 1.

The device has such a structure that it has a region where at least the thin film display element 9 and the silicon thin film layer are formed as overlapped in the film thickness direction and that the light emitted from the thin film display element 9 is partly guided through the overlapped region.



copyright KIPO & JPO 2002

Legal Status

Date of request for an examination (20010115)

Notification date of refusal decision (00000000)

Final disposal of an application (rejection)

Date of final disposal of an application (20030503)

Patent registration number ()

Date of registration (00000000)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H05B 33/00

(11) 공개번호 특2001-0077989
(43) 공개일자 2001년08월20일

(21) 출원번호	10-2001-0002238
(22) 출원일자	2001년01월15일
(30) 우선권주장	2000-18659 2000년01월27일 일본 (JP)
(71) 출원인	티디케이가부시기가이샤 사토 히로시
	일본 도쿄도 추오구 니혼바시 1조메 13번 1고
(72) 발명자	다카야마이치로
	일본 도쿄도 103-8272, 추오구 니혼바시 1-초메, 13-1, 티디케이가부시기가이샤내
(74) 대리인	박형준, 황이남

심사청구 : 있음

(54) 박막표시장치

요약

활성 매트릭스방식의 박막표시장치에서 박막발광소자의 화소중에 차지하는 비율이 증가함에 따라 휘도와 선명성이 높은 박막표시장치를 제공한다.

동일 기판(1) 위에 각 화소에 전류로 구동되어 발광하는 박막표시소자(9)와 이 박막표시소자(9)를 구동하는 회로가 형성된 실리콘 박막층(2)을 가지며, 적어도 상기 박막표시소자(9)와 실리콘박막층이 두꺼운 방향에 중첩하여 형성된 영역을 갖고, 이 중첩영역에서 상기 박막표시소자(9)의 발광 일부를 방출하는 구성의 박막표시장치로 한다.

도표도

도1

제1면

박막표시장치

명세서

도면의 간단한 설명

- 도 1은 본 발명의 박막표시장치의 한 형태를 나타낸 일부 단면도로, 도 2의 A-A'선 단면도,
도 2는 본 발명의 박막표시장치의 한 형태를 나타낸 일부평면도,
도 3은 본 발명의 박막표시장치의 다른 형태를 나타낸 일부단면도,
도 4는 본 발명의 유기EL소자의 구동장치 제조공정을 나타낸 일부단면도,
도 5는 본 발명의 유기EL소자의 구동장치 제조공정을 나타낸 일부단면도,
도 6은 본 발명의 유기EL소자의 구동장치 제조공정을 나타낸 일부단면도,
도 7은 본 발명의 유기EL소자의 구동장치 제조공정을 나타낸 일부단면도,
도 8은 본 발명의 유기EL소자의 구동장치 제조공정을 나타낸 일부단면도,
도 9는 본 발명의 유기EL소자의 구동장치 제조공정을 나타낸 일부단면도,
도 10은 종래의 활성 매트릭스형 유기EL표시장치의 회로도인 한 예를 나타낸 개략구성도,
도 11은 도 10의 A부분의 확대도,
도 12는 종래 유기EL표시소자의 구성예를 나타낸 일부 평면도,
도 13은 도 11의 A-A'선 단면도.

발명의 상세한 설명

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 유기전계발광(EL) 소자들의 박막표시소자를 사용한 박막표시장치에 관한 것이다.

최근, 유기EL소자들을 사용한 박막표시장치가 개발되고 있다. 예를 들어, 유기EL소자를 다수 사용한 박막 표시장치를 활성 매트릭스회로로 구성하는 경우, 각 EL픽셀(화소)에는 이 픽셀에 공급되는 전류를 제어하기 위한 박막트랜지스터(TFT)와 같은 FET(전계효과 트랜지스터)가 한 쌍씩 접속되어 있다. 즉, 유기EL소자에 구동전류를 공급하는 바이어스용 TFT와, 이 바이어스용 TFT를 선택해야 할 것인가를 나타내는 스위치용 TFT가 한쌍씩 접속되어 있다.

종래의 활성 매트릭스형 유기EL표시장치의 구성예를 도 10, 도 11에 나타낸다. 이 유기EL표시장치(50)은 화면(51)과, 이 화면(51)을 구동하기 위한 X방향신호선(X1, X2...), Y방향신호선(Y1, Y2...), 전원Vdd선(Vdd1, Vdd2...), 스위치용 TFT트랜지스터(Ty11, 12, Ty21, 22...), 전류제어용 TFT트랜지스터(M11, 12, M21, 22...), 유기EL소자(EL110, 120, EL210, 220...), 콘덴서(C11, 12, C21, 22...), X방향주변 구동회로(시프트레지스터 X축: 52), Y방향주변 구동회로(시프트레지스터 Y축: 53) 등으로 구성된다.

X방향신호선(X1, X2), Y방향신호선(Y1, Y2)에서 화소가 특정되고, 그 화소에서 스위치용 TFT트랜지스터(Ty11, 12, Ty21, 22)가 온되어 그 신호유지용 콘덴서(C11, 12, C21, C22)에 화상데이터가 보존된다. 이에 따라 전류제어용 TFT의 TFT트랜지스터(M11, 12, M12, 22)가 온되어 전원선(Vdd1, Vdd2)을 통해 유기EL소자(EL110, 120, EL 210, 220)에 화상데이터에 따른 바이어스용 전류가 흐르고 이것이 발광된다.

예를 들어, X방향 신호선(X1)에 화상데이터에 따른 신호가 출력되고, Y방향신호선(Y1)에 Y방향 주사신호가 출력되면, 이에 따라 특정된 화소의 스위치용 TFT트랜지스터(Ty11)가 온되어 화상데이터에 따른 신호에 의해 전류제어용 TFT트랜지스터(M11)가 도통되고, 유기EL소자(EL110)에 이 화상데이터에 따른 발광전류가 흘러 발광제어된다. 이와 같이, 화소에 박막형 EL소자와, 상기 EL소자의 발광 제어용의 전류제어용 TFT트랜지스터와, 상기 전류제어용 TFT트랜지스터의 게이트전극에 접속된 신호유지용 콘덴서와, 상기 콘덴서에 데이터를 기입하기 위한 스위치용 TFT트랜지스터 등을 포함하는 활성 매트릭스형 EL화상표시장치에 있어서, EL소자의 발광강도는 신호유지용 콘덴서에 축적된 전압에 의해 제어된 발광전류 제어용 비선형소자인 TFT트랜지스터에 흐르는 전류로 결정된다(A66-in 201p1 Electronuminescent Display T.P. Brody, F.C. Luo, et.al, IEEE Trans Electron Devices, Vol. ED-22, NO.9, Sep. 1975, p739~749 참조).

이 때, 사용되는 신호유지용 콘덴서용량은 미소한 선택시간내에 화소스위치 TFT트랜지스터가 충분한 전하를 충전할 수 있는 용량 이하이고, 또 이 화소스위치 TFT트랜지스터의 비선형성의 리크전류에 의해 다음 기입시간까지 전하가 손실되기 때문에 콘덴서의 유지전압의 저하가 표시패널화상에 악영향을 주지 않는 용량 이상이어야 한다.

이에 대해, 일본국특개평 5-258861호 공보에 발광소자에 무기EL을 사용하고, 그 재질 및 제조방법에 의해 EL소자 위에 a-Si의 TFT와 용량을 제조방법이 기재되어 있다. 그러나 무기EL소자를 이용하기때문에 저전압화, 고휘도화를 도모하기 곤란하였다.

한편, 상기와 같이 유기EL소자를 발광층으로 사용한 경우, 전자를 공급하는 음극은 4eV이하의 일함수를 갖는 MgAg 등의 합금이나 금속재료를 사용해야 하고, 발광을 방출하기 위해서는 기판측 양극에 투명한 도전성 박막을 사용해야 한다. 결국, 유기EL소자를 이용함에 따라 저전압화, 고휘도화는 가능하지만, 그 재질 및 제조방법은 상기 특개평 5-258861호 공보에 기재된 바와 같은 구조를 취할 수는 없다.

종래의 유기EL소자를 사용한 박막표시장치를 도 12 및 도 13을 참고하면서 구체적으로 설명한다. 도 12는 유기EL소자를 구동하는 TFT 정렬의 한 예를 나타낸 평면도이다. 또한 도 13은 도 12의 A-A' 선 단면도이다.

도 12에서 소스버스(11)에는 소스전극(13)이 접속되고, 콘택트홀(13a)을 통해 실리콘기체(21) 위에 형성된 소스부위와 접속되어 있다. 이 실리콘기체(21) 위에는 미도시된 다른 화소의 TFT소자와 공통으로 접속되어 있는 게이트버스(12)가 형성되어 있고, 이 게이트버스(12)가 실리콘기체(21)와 교차하는 부분에 게이트전극이 형성된다.

소스부위와 게이트전극 사이에 개재된 실리콘기체 상에 형성되어 있는 드레인부위에는 콘택트홀(14a)을 경유하여 드레인배선(14)이 접속되어 있다. 이 드레인 배선(14)은 게이트라인(15)와 접속되고, 게이트라인(15)은 TFT(2)를 구성하는 실리콘기체(22) 위에 형성됨과 동시에 콘덴서(18)의 한쪽 전극과 접속되어 있다. 콘덴서(18)의 다른 쪽의 전극은 어스버스(23)와 접속됨과 동시에 소스전극(17)과 접속되고, 이 소스전극(17)은 콘택트홀(17a)을 경유하여 TFT(1)의 소스부위와 접속되어 있다. 게이트라인(15)이 실리콘소체(22)와 교차하는 부위에 게이트전극이 형성되어 있다.

소스부위와 게이트전극(15) 사이에 개재된 실리콘기체 상에 형성되어 있는 드레인부위에는 콘택트홀(16a)을 경유하여 드레인배선(16)이 접속되어 있고, 드레인배선(16)은 화소가 되는 유기EL소자의 한쪽 전극(7)을 구성하던가 그것과 접속된다.

도 13에서 기판(1) 위에는 활성 p-Si층이 형성되고, 그 위에 절연게이트(3), 게이트전극(4)이 형성된다. 또한 게이트전극들 사이에 두고 드레인전극(17), 소스전극(16)이 형성되고, 소스전극(16)에는 유기EL구조체(9) 전극이 되는 ITO(7)가 접속되어 있다. 또한 발광된 빛을 방출하는 에이지커버(8)는 그 개구부(8a)가 TFT소자 등을 피해서 이들이 형성되어 있지 않은 영역에 개구되어 있다. 즉, 에이지커버는 발광이 투과하지 않도록 영역을 덮는 것으로 에너지효율을 향상시키거나, ITO와 상부에 형성된 전극과의 사이에 용량이 증대되는 것을 억제한다는 등의 이유에서 상기와 같은 영역에만 개구되어 있다.

이와 같은 구성의 표시장치에서는, TFT들의 구동을 스위칭소자, 화소중의 회로부품의 수 및 사이즈가 종래에 따라 발광에 기여하는 유기EL소자가 화소중에 차지하는 비율을 감소되고, 이것을 보충하기 위해서

유기태의 발광휘도를 상승시키지 않을 수 없게 된다. 이것은 유기태소자에 과대한 부하가 걸리게 되고 신뢰성이 손실되어 바람직하지 않다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 활성 매트릭스방식의 박막표시장치에 있어서, 박막발광소자의 화소중에 차지하는 비율이 증가함에 따라 휘도와 신뢰성이 높은 박막표시장치를 제공하는데 있다.

즉, 상기 목적은 다음의 구성에 의해 달성된다.

(1) 동일기판상에서, 각 화소에 전류로 구동되어 발광하는 박막표시소자와, 이 박막표시소자를 구동하는 회로가 형성되는 실리콘박막층을 가지며, 적어도 상기 박막표시소자와 실리콘박막층이 두꺼운 방향으로 중첩되어 형성되어 있는 영역을 가지며, 이 중첩영역에서 상기 박막표시소자의 발광의 일부를 방출하는 박막표시장치.

(2) 상기 실리콘박막층에는 박막발광소자를 구동하는 스위칭소자가 형성되어 있는 상기 (1)의 박막표시장치.

(3) 상기 박막표시소자의 발광의 일부를 상기 스위칭소자 형성되어 있는 영역에서 방출하는 상기 (1) 또는 (2)의 박막표시장치.

(4) 상기 스위칭소자의 채널영역중 적어도 일부가 광투과성을 갖지 않는 재료에 의해 차광되고 있는 상기 (1) 내지 (3)중 어느 하나의 박막표시장치.

(5) 상기 스위칭소자의 제어전극이 빛을 투과하지 않는 재료에 의해 형성되어 있는 상기 (1) 내지 (4)중 어느 하나의 박막표시장치.

(6) 상기 스위칭소자는 폴리실리콘박막에 의해 형성되어 있는 상기 (1) 내지 (5)중 어느 하나의 박막표시장치.

(7) 상기 스위칭소자는 박막트랜지스터인 상기 (1) 내지 (6)중 어느 하나의 박막표시장치.

(8) 상기 박막표시소자는 유기태소자인 상기 (1) 내지 (7)중 어느 하나의 박막표시장치.

발명의 구성 및 작용

본 발명의 박막표시장치는 동일 기판상에, 각 화소에 전류로 구동되는 발광 박막표시소자와, 이 박막표시소자를 구동하는 회로가 형성된 실리콘박막층을 가지며, 적어도 상기 박막표시소자와 실리콘박막층이 두꺼운 방향으로 중첩되어 형성되어 있는 영역을 가지며, 상기 중첩영역에서 상기 박막표시소자의 발광의 일부를 방출하는 것이다.

보다 바람직하게는 상기 실리콘박막층에 스위칭소자가 형성되어 상기 박막표시소자의 발광의 일부를 상기 스위칭소자가 형성되어 있는 영역에서 방출하고, 상기 스위칭소자의 채널영역중 적어도 일부가 광투과성을 갖지 않는 재료에 의해 차광되는 것이다.

이와 같이 실리콘박막층, 특히 스위칭소자와 박막표시소자 중 적어도 일부 영역을 중첩하여 형성함에 따라 스위칭 소자 형성영역에서도 발광이 방출될 수 있고, 화소중에 차지하는 발광영역이 확대되고 화소의 발광휘도를 높일 수 있다. 또한 발광영역의 면적이 확대되기 때문에 박막발광소자 자체의 발광휘도를 높이지 않아도 상대적으로 화소의 휘도를 높일 수 있고, 소자의 신뢰성 향상에도 공헌할 수 있다.

즉, 박막트랜지스터(TFT)등의 스위칭소자가 형성되어 있는 폴리실리콘(p-Si)층은 통상적으로 가시광 영역에도 투과성을 가지고 있다. 이에 따라 스위칭소자가 형성되어 있는 영역에서 발광을 얻을 수 있다. 즉, 실리콘박막층(스위칭소자)과 박막표시소자 중 적어도 일부의 영역을 중첩하여 형성함에 따라, 바깥쪽이면 실리콘박막층(스위칭소자)과 박막표시소자 중 적어도 일부의 영역을 막방향으로 중첩하도록 형성한 것으로 실리콘박막층, 특히 스위칭소자가 형성되어 있는 영역에서도 발광을 얻을 수 있고, 소자자체의 발광휘도를 높이지 않아도 실질적인 발광면적이 증대된다.

또한, 스위칭소자자체 뿐만 아니라, 정렬하거나 배선을 움직임에 따라 생기는 섬모상의 빈 영역 등에서도 발광을 얻을 수 있어 스위칭소자(TFT)가 형성된 영역 이외에서 발광을 얻는 경우에도 충분히 발광영역을 확대할 수 있다.

본 발명에서는 상기와 같이 통상적인 빛의 방출 영역인 박막표시소자의 양극(또는 음극)이 형성된 영역 이외에서도 박막표시소자의 발광을 얻는다. 이러한 구성에 의해 발광영역이 확대되고, 소자자체의 발광휘도를 높이지 않아도 실질적으로 화소의 발광휘도가 향상된다.

그런데, 박막발광소자, 특히 스위칭소자(TFT)형성 영역, 더욱이 채널영역 중 적어도 일부 내지 제어전극(게이트)형성 영역에 발광빛이 입사된 경우, 오프특성, 문턱값 등, 스위칭소자(TFT)의 특성이 약간 변화하는 경우가 있다. 이것은 실리콘박막층(p-Si층)에 흡수된 약간의 광자에 의해 캐리어가 발생하기 때문이다. 그리고 이러한 특성 변화는 고품질의 표치에 장애가 된다. 그래서, 스위칭소자형성 영역, 특히 채널영역의 적어도 일부 내지 제어전극(게이트)형성 영역을 빛이 투과하지 않는 차광막으로 덮을 수도 있다. 이에 따라 실리콘박막의 스위칭소자형성 영역, 특히 제어전극형성 영역에서 발광을 얻을 수는 없지만, 화소 전체에 대해서는 충분한 발광영역을 확대할 수 가 있다.

차광막으로는 발광에 대해서 70% 이하, 특히 90% 이하의 광투과성을 갖는 부재라면 사용할 수 있지만, 특히 박막표시장치를 구성하는 부재를 공용함에 따라 제조공정을 간소화하고, 제조비용을 감소할 수 있어 바람직하다. 이런 박막표시장치를 구성하는 부재로는 구체적으로 Al, Cu, Cr, Ti, Mo, V, Zr, W, Ta, Ni-Cr 등의 금속, 또는 금속합금, 질화티탄(TiN), 질화몰리브덴, 질화탄탈, 질화지르코늄(ZrN) 등의 질화물, 티타늄바이리드(TiC), 텅스텐바이리드(WC), 크롬카바이드(Cr₂C₃), 도프탄화실리콘 등의 탄소물 및 Ni, Co,

Fe, Cu, Cr, Ag, Mo 등의 금속과의 복합재인 서머멧 등을 들 수 있다. 이들 중에서도 특히 Al, Cr, Cu, Mo, Ti 등의 배선용 금속재가 바람직하다.

또한, 스위칭소자의 제어전극 자체를 상기 부재, 특히 고용점의 금속재로 구성할 수 있다. 이 경우에는, 새롭게 치방막을 형성할 필요가 없기 때문에, 정렬하기 위한 마진이나 에칭에 필요한 공간이 불필요하여 고밀도의 표시장치를 형성할 수 있다.

본 발명의 박막표시장치는 통상 탄소저항의 박막표시장치와, 이를 구동하는 제 1 스위칭소자와, 상기 제 1 스위칭소자를 구동하는 제 2 스위칭소자, 및 이들 스위칭소자, 박막표시장치 등으로 구성된 회로를 선택하는 선택회로(시프트레지스터) 등으로 구성되어 있다. 본 발명의 선택회로(시프트레지스터)는 통상 입력신호(데이터)에 따라 시프트출력을 발생시킬 수 있는 것이며 그 구성은 어떠한 것이어도 좋다. 일반적으로 시프트레지스터는 플립플롭의 조합에 의해 구성된다. 또한 시프트레지스터는 표시화면의 행요소, 또는 열요소를 순차적으로 선택해서 사분할구동하는데 이용되며, 이와 같은 기능을 갖는 것도 본 발명의 선택회로(시프트 레지스터)에 포함된다.

본 발명의 실리콘박막층은 기판상에 형성할 수 있고, 그 위에 형성된 스위칭소자가 필요한 성능을 발휘할 수 있는 실리콘기판이면 비결정상, 다결정상 또는 단결정상일 수 있지만, 통상 다결정 실리콘(p-Si)이 바람직하다. 다결정 실리콘층은 일반적으로 기상법으로 형성된 비결정 실리콘(a-Si)층을 어닐링하여 얻을 수 있다. 이 경우 얻어진 다결정 실리콘층은 고온 p-Si 또는 저온 p-Si일 수 있지만, 저온 p-Si가 바람직하다.

스위칭소자는 상기 실리콘박막층에 제어전극과 한 쌍의 피제어전극이 형성되고, 유기EL소자를 직접 구동하는 반도체이면 특별한 규제는 없지만, 표시장치로서 기능시키기 위해서는 TFT(Thin Film Transistor) 타입이 바람직하다.

이어서, 본 발명에 사용하는 스위칭소자가 및 박막표시장치의 보다 구체적인 구성 및 그 제조공정에 대해서 도면을 참고하면서 설명한다.

우선, 도 4에 도시한 바와 같이, 기판(1) 위에 스퍼터법, 각종 CVD법, 바람직하게는 플라즈마 CVD법에 의해 a-Si층(2)을 적층한다.

그 후, 도 5에 도시한 바와 같이, 엑시머레이저(115) 등에 의한 어닐링 및 결정화를 하고, 활성층(2a)을 형성한다. 이때 열어닐링을 병용해도 된다.

또한, 도 6에 도시한 바와 같이, 결정화된 활성층(폴리실리콘층: 2a)을 사진평판으로 패턴화한다.

이어서, 도 7에 도시한 바와 같이, 절연게이트(3)를 폴리실리콘 아일랜드(2a) 위와 절연기판(1)의 표면주위에 적층한다. 기판온도는 250~400°C가 바람직하고, 고품질의 절연게이트재료를 얻기 위해서는 어닐링을 300~600°C에서 1~3시간 정도에서 실시하는 것이 바람직하다.

이어서, 도 8에 도시한 바와 같이, 게이트전극(4)을 증착 또는 스퍼터링으로 성막한다.

이어서, 도 9에 도시한 바와 같이, 게이트전극(4)을 패턴닝하고, 패턴닝된 게이트 전극(4) 위에서 미온도핑(116)을 하여 n+ 또는 p+ 부위를 성형하고, 그 위에 신호전극선 및 주사전극선을 사진평판에 의해 형성한다.

이어서, 도 1에 도시한 바와 같이, 절연막(5)을 형성한 후, 드레인, 소스 등의 접속부를 형성한다. 접속부는 절연막(5)을 개구한 곳에서 한다. 우선, 상압 CVD법에 의해 중간절연층으로서 SiO₂ 막을 성막한다.

이어서, 중간절연층을 에칭하여 접속홀을 형성하고, 드레인, 소스접속부를 개구한다.

개구된 드레인과 소스접속부에 각각 드레인배선전극(17)과 소스배선전극(16)을 성막하여 드레인과 소스를 접속한다. 그리고, 이들 전극 위에 절연막(6)을 형성한다. 이때 드레인과 소스전극 일부가 유기EL소자의 제 1전극, 또는 제 2전극으로서 기능을 하거나, 이것과 접속되도록 한다. 도시된 예에서는 소스전극(16) 위를 개구하고 홀주입전극인 ITO(7)와 접속되도록 한다. 또 화소부분 이외의 부분을 덮는 에미지커버(8)를 형성하고, 유기EL 구조체(9)를 형성하여 도 1에 도시된 바와 같이 스위칭소자를 얻는다.

이 때, ITO는 p-Si층(활성층 2a: 2)의, 특히 스위칭소자를 덮도록 형성하고, 에미지커버(8)도 유기EL구조체(9)가 p-Si층(활성층 2a: 2) 위에도 형성되도록 한다. 이에 따라 화소내의 발광 면적이 증대된다.

또한, 홀주입전극등, 유기EL소자의 전극과의 접속에는, 예를 들어 배선전극과 홀주입전극과의 사이 양자에 접속성을 향상시키기 위해 TiN 등의 접속금속층을 형성할 수도 있다.

이와 같이 형성된 박막표시장치에 대해서, 도 2를 참고하면서 보다 구체적으로 설명한다. 도 2는 도 1에 도시된 바와 같이 유기EL소자를 구동하는 TFT정렬의 한 예를 나타낸 평면도이다. 또한 도 1은 도 2의 A-A'선 단면도이다.

도면에서 소스배선(11)에는 소스전극(13)이 접속되고, 접속홀(13a)을 통해 실리콘기체(21) 위에 형성되어 있는 소스부위와 접속되어 있다. 이 실리콘기체(21)위에는 미도시된 다른 화소의 TFT소자와 공통으로 접속되어 있는 게이트배선(12)가 형성되어 있고, 이 게이트배선(12)과 실리콘기체(21)과 교차하는 부분에 게이트전극이 형성된다.

소스부위와 게이트전극 사이에 개재된 실리콘기체 상에 형성된 드레인부위에는 접속홀(14a)을 통해 드레인 배선(14)가 접속되어 있다. 이 드레인 배선(14)은 게이트라인(15)과 접속되고, 이 게이트라인(15)은 TFT(2)를 구성하는 실리콘기체(22) 위에 형성되며, 콘덴서(18)의 한쪽 전극과 접속되어 있다. 콘덴서(18)의 다른 한쪽의 전극은 어스배선(23)과 접속됨과 동시에 소스전극(17)과 접속되고, 소스전극(17)은 접속홀(17a)을 통해 TFT의 소스부위와 접속되어 있다. 게이트라인(15)이 실리콘소체(22)와 교차하는 부위에 게이트전극이 형성된다.

소스부위와 게이트전극(15) 사이에 개재된 실리콘기체 상에 형성된 드레인부위에는 콘택트홀(16a)을 통해

드레인 배선(16)이 접속되어 있다. 이 드레인배선(16)은 화소가 되는 유기EL소자의 한쪽 전극(7)을 구성 하거나, 이것과 접속되어 있다. 또한 에미지커버(8)의 개구부(8a)는 p-Si층(활성층 2a: 2), 특히 스위 청소자 상에도 유기EL구조체(9)가 형성되고, 발광을 얻을 수 있도록 p-Si층(활성층 2a: 2) 위에도 개구되 도록 형성되어 있다.

상기 유기EL소자를 직접 구동하는 TFT(1)는 제 1 스위청소자에 해당되고, 제 1 스위청소자를 구동하는 TFT(2)는 제 2 스위청소자에 해당된다. 또 소스배선(11)와 게이트배선(12)에는 도시하지 않은 선택회로가 접속된다.

이어서, 본 발명의 바람직한 박막표시소자인 유기EL소자(유기EL구조체)의 구성에 대해서 설명한다. 유기 EL소자는 제 1 전극과 제 2 전극사이에 적어도 발광기능에 관여하는 유기물질을 함유하는 유기층을 갖는 다. 그리고, 제 1 전극과 제 2 전극에서 주어진 전자와 홀이 유기층안에서 재결합함으로써 발광한다.

제 1 전극 및 제 2 전극은 모두 홀주입전극 및 전자주입전극이어도 좋지만, 통상 기관축의 제 1 전극이 홀주입전극이 되고, 제 2 전극은 전자주입전극이 된다.

전자주입전극으로는 낮은 일함수의 물질이 바람직하며, 예를 들어 K, Li, Na, Mg, La, Ce, Ca, Sr, Ba, Al, Ag, In, Sn, Zn, Zr 등의 금속원소단체, 또는 안정성을 향상시키기 위해 이들을 포함하는 2성분 또는 3성분 합금계를 사용하는 것이 바람직하다. 합금계로는, 예를 들어 Ag-Mg(Ag: 0.1~50at%), Al-Li(Li: 0.01~14at%), In-Mg(Mg: 50~80at%), Al-Ca(Ca: 0.01~20at%)등을 들 수 있다. 또한 전자주입전극은 증착법이나 스퍼터법으로 형성할 수 있다.

전자주입 전극박막의 두께는 전자주입을 충분히 할 수 있는 일정 이상의 두께로 하면 되고, 0.5nm 이상, 바람직하게는 1nm 이상, 보다 바람직하게는 3nm 이상으로 할 수 있다. 또 그 상한값은 특별히 한정되지 않고, 통상 박막두께는 3~500nm 정도로 하면 된다. 전자주입전극 위에는 보조전극 내지 보호전극을 설치 할 수 있다.

증착시의 압력은, 바람직하게는 $1.33 \times 10^{-6} \sim 1.33 \times 10^{-4}$ Pa ($1 \times 10^{-6} \sim 1 \times 10^{-2}$ Torr)로, 증발원의 가열온도는 금속재료인 경우 100~1400℃, 유기재료인 경우는 100~500℃ 정도가 바람직하다.

홀 주입전극은 발광 한 빛을 방출하기 때문에, 투명하거나 반투명의 전극이 바람직하다. 투명전극으로는 ITO(주석도프산화인듐), IZO(아연도프산화인듐), ZnO, SnO₂, In₂O₃ 등을 들 수 있지만, 바람직하게는 ITO (주석도프산화인듐), IZO(아연도프산화인듐)이 바람직하다. ITO는 통상적으로, In₂O₃와 SnO를 화학양론 조 성으로 함유하지만, 0의 양은 다소 편차가 있을 수 있다. 홀주입전극은 투명성이 필요하지 않을 때에는 불투명한 공지의 금속재료로 할 수 있다.

홀주입전극의 두께는 홀주입을 충분히 주입할 수 있는 일정 이상의 두께를 가지면 좋고, 바람직하게는 50 ~500nm, 특히 50~300nm의 범위가 바람직하다. 또한 그 상한에는 제한이 없지만, 너무 두꺼우면 박리동 이 생길 우려가 있고, 두께가 너무 얇으면, 제조시 막강도와 홀수송능력, 저항값 측면에서 문제가 있다.

상기 홀주입전극층은 증착법 등으로 형성될 수 있지만, 바람직하게는 스퍼터법, 특히 펄스DC스퍼터법으로 형성하는 것이 바람직하다.

유기EL구조체의 유기층은 다음과 같이 구성할 수 있다.

발광층은 홀(정공) 및 전자주입기능, 이들의 수송기능, 홀과 전자의 재결합에 의해 여기자를 생성시키는 기능을 갖는다. 발광층에는 비교적 전자적으로 중성인 화합물을 사용하는 것이 바람직하다.

홀주입수송층은 홀주입전극에서의 홀주입을 용이하게 하는 기능, 홀을 안정적으로 수송하는 기능 및 전자를 차단하는 기능을 갖고, 전자주입수송층은 전자주입전극에서의 전자주입을 용이하게 하는 기능, 전자를 안정적으로 수송하는 기능 및 홀을 차단하는 기능을 갖는다. 이들 층은 발광층에 주입된 홀과 전자를 중 대 및 감금시키고 재결합영역을 최적화하여 발광효율을 개선한다.

발광층의 두께, 홀주입수송층의 두께 및 전자주입수송층의 두께는 특별히 제한되지 않고, 형성방법에 따 라 다르지만, 통상적으로 5~500nm 정도, 특히 10~300nm로 하는 것이 바람직하다.

홀주입수송층의 두께 및 전자주입수송층의 두께는 재결합/발광영역의 설계에 의해 다르지만, 발광층의 두께와 같은 정도로, 또는 1/10~10 배정도로 할 수 있다. 홀 또는 전자의 주입층과 수송층을 분리하는 경 우에는 주입층은 1nm 이상, 수송층은 1nm 이상으로 하는 것이 바람직하다. 이 때 주입층과 수송층의 두께 의 상한은 통상 주입층은 500nm 정도, 수송층은 500nm 정도이다. 이와 같은 막두께에 대해서는 주입수송 층을 2층으로 해도 마찬가지이다.

유기EL소자의 발광층에는 발광기능을 하는 화합물인 형광성 물질을 함유시킨다. 이와 같은 형광성물질로 는 예를 들어, 일본국 특개소63-264692호 공보에 개시된 바와 같은 화합물, 예를 들어 퀴나크리논, 루브 렌, 스티릴계 색소등의 화합물로부터 선택된 적어도 1종을 들 수 있다. 또 트리스(8-퀴놀리노라토)알루 미늄 등의 8-퀴놀리논 또는 그 유도체를 배위자로 하는 금속착체 색소 등의 퀴놀린유도체, 테트라페닐부 타디엔, 안트라센, 페릴렌, 코로넨, 12-프탈로페릴렌유도체 등을 들 수 있다. 또한 일본국 특개평8-12600 호 공보(특원평6-110569호)에 기재된 페닐안트라센유도체, 특개평8-12969호 공보(특원평6-114456호)의 테 트라아릴에텐유도체 등을 사용할 수 있다.

또한, 그 지체에서 발광이 가능한 호스트물질과 조합하여 사용하는 것이 바람직하고, 도판트로서 사용하 는 것이 바람직하다. 이와 같은 경우 발광층의 화합물의 함유량은 0.01~20부피%, 특히 0.1~15부피%가 바람직하다. 특히 루브렌계에서는 0.01~20부피%가 바람직하다. 호스트물질과 조합시켜 사용함에 따라 호 스트물질의 발광파장 특성을 변화시킬 수 있고, 발광이 긴 파장으로 이동할 수 있으며 소자의 발광효율이 나 안정성이 향상된다.

호스트물질로는 퀴놀리노라토착체가 바람직하고, 8-퀴놀리논 또는 그 유도체를 배위자로 하는 알루미늄착 체가 바람직하다. 이런 알루미늄착체로는 일본국 특개소63-264692호, 특개평3-255190호,

특개평5-70773호, 특개평5-258859호, 특개평6-215874호 등에 개시되어 있는 것을 들 수 있다.

구체적으로는, 트리스(8-퀴놀리노라토)알루미늄, 비스(8-퀴놀리노라토)마그네슘, 비스(벤조{f}-퀴놀리노라토)아연, 비스(2-메틸-8-퀴놀리노라토)알루미늄옥사이드, 트리스(8-퀴놀리노라토)인듐, 트리스(5-메틸-8-퀴놀리노라토)알루미늄, 8-퀴놀리노라토리튬, 트리스(5-클로로-8-퀴놀리노라토)갈륨, 비스(5-클로로-8-퀴놀리노라토)칼슘, 5,7-디크로로-8-퀴놀리노라토알루미늄, 트리스(5,7-디브로모-8-히드록시퀴놀리노라토)알루미늄, 폴리아민(II)-비스(8-히드록시-5-퀴놀리닐)메탄 등이 있다.

이 외에 호스트물질로는, 일본국 특개평8-12600호 공보에 기재된 페닐안트라센유도체와 특개평8-12969호 공보에 기재된 테트라미틸에텐유도체 등도 바람직하다.

발광층은 전자주입수송층을 겸한 것이어도 되고, 이런 경우에는 트리스(8-퀴놀리노라토)알루미늄등을 사용하는 것이 바람직하다. 이들의 형광성물질을 증착할 수 있다.

또 발광층은 필요에 따라 적어도 1종의 홀주입수송성 화합물과 적어도 1종의 전자주입수송성 화합물과의 혼합층으로 하는 것이 바람직하고, 또한 이들의 혼합층중에 도판트를 함유시키는 것이 바람직하다. 이와 같은 혼합층에서의 화합물의 함유량은 0.01~20부피%, 바람직하게는 0.1~15부피%로 하는 것이 바람직하다.

혼합층에서는 캐리어의 풀핑전도패스가 있을 수 있기 때문에, 각 캐리어는 극성적으로 유리한 물질로 이동하고, 반대 극성 캐리어주입은 일어나기 어렵기 때문에 유기화합물이 손상되기 어려워 소자수명이 늘어난다는 이점이 있다. 또한 전술한 도판트를 이와같은 혼합층에 함유시킴으로써 혼합층 자체가 갖는 발광 파장 특성을 변화시킬 수 있으며, 발광파장이 긴 파장쪽으로 이동시킬 수 있고 발광광도를 높일 수 있으며 소자의 안정성도 향상시킬 수 있다.

혼합층에 사용되는 홀주입 수송성화합물 및 전자주입 수송성화합물은 각각 후술하는 홀주입수송층용 화합물 및 전자주입수송층용 화합물 중에서 선택할 수 있다. 그 중에서도, 홀주입수송층용 화합물으로는 강한 형광을 갖는 아민유도체, 예를 들어, 홀수송재료인 트리페닐아민유도체, 스티릴아민유도체, 방향족축합환을 갖는 아민유도체를 사용하는 것이 바람직하다.

전자주입수송층 화합물로는 퀴놀린유도체, 8-퀴놀리놀 또는 그 유도체를 배위자로 하는 금속착체, 특히 트리스(8-퀴놀리노라토)알루미늄(Alq_3)을 사용하는 것이 바람직하다. 또한 상기 페닐안트라센유도체, 테트라미틸에텐유도체를 사용하는 것도 바람직하다.

홀주입수송층용 화합물로는 강한 형광을 갖는 아민유도체, 예를 들어 상기 홀주입수송재료인 트리페닐아민, 스티릴아민유도체, 방향족축합환을 갖는 아민유도체를 사용하는 것이 바람직하다.

이 경우의 혼합비는 각각의 캐리어 이동도와 캐리어 농도에 의하지만, 일반적으로 홀주입수송성 화합물/전자주입수송기능을 갖는 화합물의 중량비가 1/99~99/1, 보다 바람직하게는 10/90~90/10, 특히 바람직하게는 20/80~80/20 정도가 되도록 하는 것이 바람직하다.

혼합층의 두께는 분자층 1층에 상당하는 두께 이상으로 하는 것이 바람직하다. 구체적으로는 1~85nm로 하는 것이 바람직하고, 보다 바람직하게는 5~60nm, 특히 5~50nm로 하는 것이 바람직하다.

또한 혼합층의 형성방법으로는 다른 증착원으로부터 증발시키는 공증척이 바람직하지만, 증기압(증발온도)가 동일정도 혹은 매우 근접한 경우에는 미리 동일 증척도 내에서 혼합시켜 놓고 증착할 수 있다. 혼합층은 화합물끼리 균일하게 혼합되어 있는 것이 바람직하지만, 경우에 따라서는 화합물이 섬모양으로 존재해도 된다. 발광층은 일반적으로 유기형광물질이거나, 또는 수지바인더중에 분산시켜 코팅함으로써 발광층을 소정의 두께로 형성한다.

홀주입수송층에는 예를 들어, 일본국 특개소63-295695호 공보, 특개평2-191694호 공보, 특개평3-792호 공보, 특개평5-234681호 공보, 특개평5-239455호 공보, 특개평5-299174호 공보, 특개평7-126225호 공보, 특개평7-126226호 공보, 특개평8-100172호 공보, EP0650955A1 등에 기재된 각종 유기화합물을 이용할 수 있다. 예를 들어, 테트라미틸벤지딘화합물(트리아미틸아민 내지 트리페닐아민; TPQ), 방향족 삼콜아민, 히드라존유도체, 카바졸유도체, 트리아졸유도체, 이미다졸유도체, 아미노기를 갖는 옥사디아졸유도체, 폴리티오펜 등이다. 이들의 화합물은 1층만을 사용하거나 2층이상 병용할 수 있다. 2층 이상을 병용할 때는 별도의 층으로 적층하거나 혼합할 수 있다.

홀주입수송층을 홀 주입층과 홀수송층으로 나누어 적용하는 경우는 홀주입 수송층용 화합물중에서 바람직한 조합을 선택하여 사용할 수 있다. 이때 홀주입전극(ITO 등) 쪽으로부터 이온화포텐셜이 작은 화합물 순서대로 적용하는 것이 바람직하다. 또 홀주입전극 표면에는 박막성이 양호한 화합물을 사용하는 것이 바람직하다. 이와 같은 적용순서에는 홀주입수송층을 2층 이상 설치할 때도 마찬가지이다. 이러한 적용순서로 할 때 구동전압이 저하되고, 전류리크의 발생이나, 다크포스트의 발생 및 성장을 방지할 수 있다. 또한 증착을 이용하여 소자화하는 경우는 1~10nm 정도의 얇은 막도 균일하고 핀홀이 없게 할 수 있기 때문에 홀주입층에 이온화 포텐셜이 작고, 가시부에 흡수가 있는 화합물을 사용하더라도 발광색의 색조변화와 재흡에 의한 효율저하를 방지할 수 있다. 홀주입수송층은 발광층 등과 마찬가지로 상기 화합물을 증착함에 따라 형성할 수 있다.

전자주입수송층에는 트리스(8-퀴놀리노라토)알루미늄(Alq_3) 등의 8-퀴놀리놀 또는 그 유도체를 배위자로 하는 유기 금속착체 등의 퀴놀유도체, 옥사디아졸유도체, 페릴렌유도체, 피리딘유도체, 피리미딘유도체, 퀴놀살린유도체, 디페닐퀴논유도체, 니트로치환유도체 등을 사용할 수 있다. 전자주입수송층은 발광층을 겸한 것일 수도 있고, 이와 같은 경우는 트리스(8-퀴놀리노라토)알루미늄 등을 사용하는 것이 바람직하다. 전자주입 수송층은 발광층과 마찬가지로 증착 등에 의해 형성될 수 있다.

전자주입수송층을 전자주입층과 전자수송층과 나누어 적용하는 경우에는 전자주입수송층용 화합물에서 바람직한 조합을 선택하여 사용할 수 있다. 이 때, 전자주입 전극층에서 전자전하력의 값이 큰 화합물 순서대로 적용하는 것이 바람직하다. 이와 같은 적용순서는 전자주입수송층을 2층 이상 설치할 때도 마찬가지

다.

홀주입수송층, 발광층 및 전자주입수송층을 형성하는 데에는 균질한 박막이 형성될 수 있기 때문에, 진공 증착법을 사용하는 것이 바람직하다. 진공증착법을 사용하는 경우, 비결정상태 또는 결정입경이 0.2 μ m 이하의 균질한 박막을 얻을 수 있다. 결정입경이 0.2 μ m 초과하면, 발광이 균일하지 않으며, 소자의 구동전압을 높게 하지 않으면 안되고, 홀의 주입효율도 떨어지게 된다.

진공증착의 조건은 특별히 한정되지 않지만, 10^{-4} Pa 이하의 진공도로 하고, 증착속도는 0.01~1nm/sec 정도로 하는 것이 바람직하다. 또한 진공중에서 연속적으로 각 층을 형성하는 것이 바람직하다. 진공중에서 연속적으로 형성하면 각 층의 계면에 불순물이 흡수되는 것을 방지할 수 있기 때문에 높은 특성이 얻어진다. 또한 소자의 구동전압을 낮게 하거나 다크스팟의 발생 및 성장을 억제할 수 있다.

진공증착법을 이용하여 각 층을 형성하는 경우에 1층에 복수의 화합물을 함유시킨 경우, 화합물을 넣은 보트를 각각 온도제어하여 공증착하는 것이 바람직하다.

기판에 섀플터막과 형광성 물질을 포함하는 섀변환막 또는 유도체 반사막을 사용하여 발광색을 조절할 수도 있다.

섀플터막에는 액정디스플레이 등에서 이용되고 있는 칼라필터를 사용할 수 있지만, 유기EL소자가 발광하는 빛에 맞추어서 칼라필터의 특성을 조정하고, 방출효과 및 색순도를 최적화하면 된다.

또 EL소자재료와 형광변환층이 광흡수하도록 단파장의 외광을 차단할 수 있는 칼라필터를 사용하면, 소자의 내광성 및 표시의 콘트라스트도 향상된다.

또 유전체 다층막과 같은 광학박막을 칼라필터 대신 사용해도 된다.

형광변환 필터막은 EL발광의 빛을 흡수하고 형광변환막 중의 형광체부터 빛을 방출시킨 것으로 발광색의 색변환을 할 수 있지만, 조성으로는 바인더, 형광재료, 광흡수재료의 3가지로 형성된다.

형광재료는 기본적으로 형광양자수율이 높은 것을 사용할 수 있고, EL발광 표장영역에 흡수가 강한 것이 바람직하다. 실제로는 레이저색소등이 적합하고, 로다민계 화합물, 페릴렌계 화합물, 시아닌계 화합물, 프타로시아닌계화합물(서브플타로시아닌포함), 나프타로이미도계 화합물, 축합환탄화수소계 화합물, 축합 복소환계 화합물, 스티릴계 화합물, 쿠마린계 화합물 등을 사용할 수 있다.

기본적으로 바인더는 형광을 소광하지 않는 재료를 선택하며, 사진명판, 인쇄 등에서 미세한 패턴닝을 할 수 있도록 하는 것이 바람직하다. 또한 기판상에 홀주입전극과 접하는 상태로 형성할 경우에는 홀주입전극(ITO, IZO)의 성막시에 손상을 주지 않는 재료가 바람직하다.

광흡수재료는 형광재료의 광흡수가 충분하지 않을 경우에 사용하고 필요없는 경우에는 사용하지 않아도 된다. 또한 광흡수재료는 형광성 재료의 형광을 소광하지 않는 재료를 선택하면 된다.

본 발명에서의 유기EL소자는 통상 직류구동형, 펄스구동형의 유기EL소자로서 사용되고 있다. 인가전압은 통상 2~30V 정도이다.

(실시예)

<실시예 1>

도 4~9에 도시한 바와 같은 공정에 의해, 활성 매트릭스회로를 구성하고, 도 1 및 도 2에 도시한 바와 같은 구조의 박막표시장치를 제작하였다.

코닝사 제조 1737 내열성 무알칼리 유리기판 위에 비결정 실리콘층(2)을 약 60nm(600Å)의 두께로 감압 CVD(LPCVD)법으로 성막하였다. 이 성막조건은 하기와 같다.

SiH₄가스 : 100 SCCM

압력 : 40 Pa(0.3 Torr)

온도 : 480°C

이어서, 비결정형 실리콘층(2)을 고상 성장시켜 활성층(폴리실리콘층: 2a)으로 하였다. 이 고상 성장은 열어니일링과 레이저어니일링(115)을 병용하였다. 그 조건은 다음과 같다.

<열어니일링>

N₂ : ISLM

온도 : 600°C

처리시간 : 24시간

<레이저어니일링>

KRF : 254nm

에너지밀도 : 200mJ/cm²

쇼트수 : 200

여어서, 이 폴리실리콘층을 패터닝하여 활성 실리콘층(2a: 500nm(500 Å))을 얻었다.

이 활성 실리콘층(2a) 위에 게이트산화막(3)이 되는 SiO₂ 층을, 예를 들어 플라즈마CVD법으로 약 80nm(800 Å) 성막하였다. 성막조건을 예를 들어 다음과 같다.

투입전력 : 50W

TFOS(테트라에톡시실란)가스 : 50 SCCM

O₂ : 500 SCCM

압력 : 13.3~66.5 Pa(0.1~0.5 Torr)

온도 : 350℃

SiO₂층 위에 게이트전극(4)이 되는 Mo-Si₃N₄ 층을 스퍼터법으로 약 100nm(100 Å) 성막하였다. 그후, 이 Mo-Si₃N₄ 층 및 상기에서 형성한 SiO₂ 층을, 예를 들어 드라이에칭으로 패터닝하고 게이트 전극(4) 및 게이트산화막(3)을 얻었다. 얻은 게이트전극은 발광파장 대역의 광투과율이 약 제로에 가깝고 차광막으로서의 기능도 한 다는 것을 알았다.

이어서, 도핑마스크 및 상기 게이트전극(4)을 마스크로서 실리콘활성층의 소스, 드레인영역이 되는 부분에 이온도핑법으로 P형 불순물(116: B)을 도핑하고, 이어서, 채널부에도 소량 도핑함으로써 제 1 스위칭소자, 제 2 스위칭소자 및 선택회로용 스위칭소자를 형성하였다. 소스부, 드레인부의 도핑조건은 통상의 TFT제조법에 준하여 실시할 수 있다.

이어서, 이를 질소분위기속에서 약 500℃에서 10시간 가열하여 도판트활성화를 실시했다. 또 수소분위기속에서 약 400℃에서 30분간 가열처리하여 수소화를 실시함으로써 반도체의 결함준위밀도를 감소시켰다.

그리고 이 거핀전체에 층간절연층이 되는 SiO₂ 층을 두께 약 800nm(800 Å) 성형하였다. 이 층간절연층(6)이 되는 SiO₂의 성막조건은 다음과 같다.

O₂/N₂ : 10 SLM

5% SiH₄/N₂ : 1 SLM

1% PH₃/N₂ : 500 SCCM

N₂ : 10 SLM

온도 : 410℃

압력 : 대기압

이 층간절연층(6)이 되는 SiO₂막을 에칭하고 접속용 홈을 성형하였다. 이어서, 드레인 및 소스배선전극(17), (16)으로서 (A1)을 증착하였다.

이어서, 유기EL소자의 형성영역에 홀주입전극이 되는 IT0(7)를 성막하고 상기 배선전극(16)과 접속하였다. 그리고 발광영역(화소부분)만을 발광시키기 위해 상기와 마찬가지로 층간절연막 SiO₂(에이지커버: 8)를 400nm(400 Å) 성막하고, 발광영역이 되는 부분을 개구하였다. 이 때 IT0는 p-Si층(활성층 2a: 2), 특히 스위칭소자 위를 덮도록 성형하고, 에이지커버(8)도 유기EL구조체(9)가 p-Si층(활성층 2a: 2) 위에도 형성되도록 하였다. 이에 따라 화소내의 발광 방출면적이 증대되었다. 또 비교샘플로서 도 12 및 도 13에 도시된 바와 같이, TFT 등의 실리콘막박 상에 유기EL구조체(9)를 성형하지 않는 샘플도 작성하였다.

이상과 같이 제작된 본 발명의 샘플 및 비교샘플 TFT 박막 패턴의 화소영역(개구부(8a)에 발광층을 포함하는 유기EL구조체(9)의 유기층을 진공증착법으로 성막하였다. 성막한 재료는 다음과 같다. 여기에서 한 예만 들었지만, 본 발명은 그 개념으로부터 알 수 있는 바와 같이, 증착법으로 성형가능한 한 성막재료에 적용할 수 있다.

홀주입층 및 홀수송층으로, N,N'-비스(m-페닐페닐)-N,N'-디페닐-1,1'-비페닐-4,4'-디아민(N,N'-비스(m-페닐페닐)-N,N'-디페닐-1,1'-비페닐-4,4'-디아민(이하, TPD로 약칭한다)을 발광층겸 전자수송층으로서 트리스(8-하이드록시퀴놀린)알루미늄(이하, Alq3로 약칭한다)을 진공을 유지하면서 제 2 전극으로서 음극을 계속해서 성막하였다.

성막방법으로는 홀주입층 및 홀수송층은 진공증착법을 선택하고, 제 2 전극은 DC스퍼터법을 선택하였다. 제 2 전극으로는 Al/Li 합금(Li농도: 7 at%)를 가스압 1Pa, 전력 1W/cm²로 막두께 5nm만 성막하고, 배선전극으로는 Al을 0.3Pa, 전력 1W/cm²로 막두께 200nm로 적층하였다.

얻어진 유기EL표시소자의 각 화소를 10mW/cm²의 정전류 구동한 바, TFT작동에 따라 온-오프동작(발광)이 확인되고, 문제없이 동작하는 것으로 밝혀졌다. 또한 종래의 샘플과 비교해서 화소중에 차지하는 방출영역(개구부 8a)의 면적이 15% 이상 증가한 것을 확인할 수 있었다. 또한 동일한 휘도를 얻기 위해서 필요한 전류를 각각 구동하여 휘도반감시간을 구한 결과, 본 발명의 샘플은 비교샘플보다 1.2배 이상 반감수명을 연장된다는 것을 확인할 수 있었다.

<실시예 2>

실시에 1에서 게이트전극(4)을 P-Si에 의해 형성하고, 도 3에 도시한 바와 같이, 그 위에 차광막(31)을 형성하였다. 이 차광막(31)은 200nm 막두께로 게이트전극과는 대략 동일한 사이즈로 하고, 배선용 전극재료인 질화티탄(TiN)을 사용하였다. 이 때문에 차광막 형성공정을 배선전극 형성공정과 공용할 수 있어서 실질적으로 제조공정은 증가하지 않았다. 그외에는 실시예 1과 동일하게 하여 박막표시장치를 작성하였다.

얻어진 샘플을 실시예 1과 동일하게 구동하여 평가한 결과, 실시예 1과 대략 동일한 결과를 얻었다.

발명의 효과

이상과 같이 본 발명에 의한다면, 활성 매트릭스방식의 박막표시장치에 있어서, 박막발광 소자의 화소중에 차지하는 비율이 증가함에 따라 휘도와 신뢰성이 높은 박막표시장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1

동일기판상에, 각 화소에 전류로 구동되는 발광 박막표시소자와 이 박막표시소자를 구동하는 회로가 형성되어 있는 실리콘박막층을 가지며, 적어도 상기 박막표시소자와 실리콘박막층이 두꺼운 방향에 중첩되어 형성되어 있는 영역을 갖고, 이 중첩영역에서 상기 박막표시소자의 발광의 일부를 방출하는 박막표시장치.

청구항 2

제 1항에 있어서, 상기 실리콘박막층에는 상기 박막발광 소자를 구동하는 스위칭소자가 형성되어 있는 박막표시장치.

청구항 3

제 1항 또는 제 2항에 있어서, 상기 박막표시소자의 발광의 일부를 상기 스위칭소자가 형성되어 있는 영역에서 방출하는 박막표시장치.

청구항 4

제 1항에 있어서, 상기 스위칭소자의 채널영역 중 적어도 일부가 광투과성을 갖지 않는 재료에 의해 차광되어 있는 박막표시장치.

청구항 5

제 1항에 있어서, 상기 스위칭소자의 제어전극이 빛을 투과하지 않는 재료에 의해 형성되어 있는 박막표시장치.

청구항 6

제 1항에 있어서, 상기 스위칭소자는 폴리실리콘박막으로 형성되어 있는 박막표시장치.

청구항 7

제 1항에 있어서, 상기 스위칭소자는 박막트랜지스터인 박막표시장치.

청구항 8

제 1항에 있어서, 상기 박막표시소자는 유기EL소자인 박막표시장치.

도면

도면1

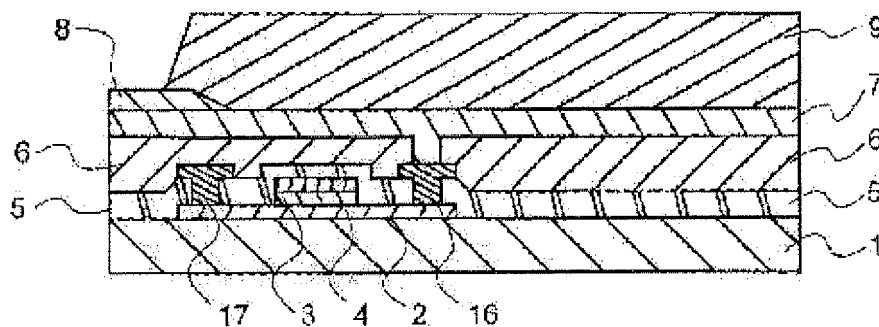


FIG. 2

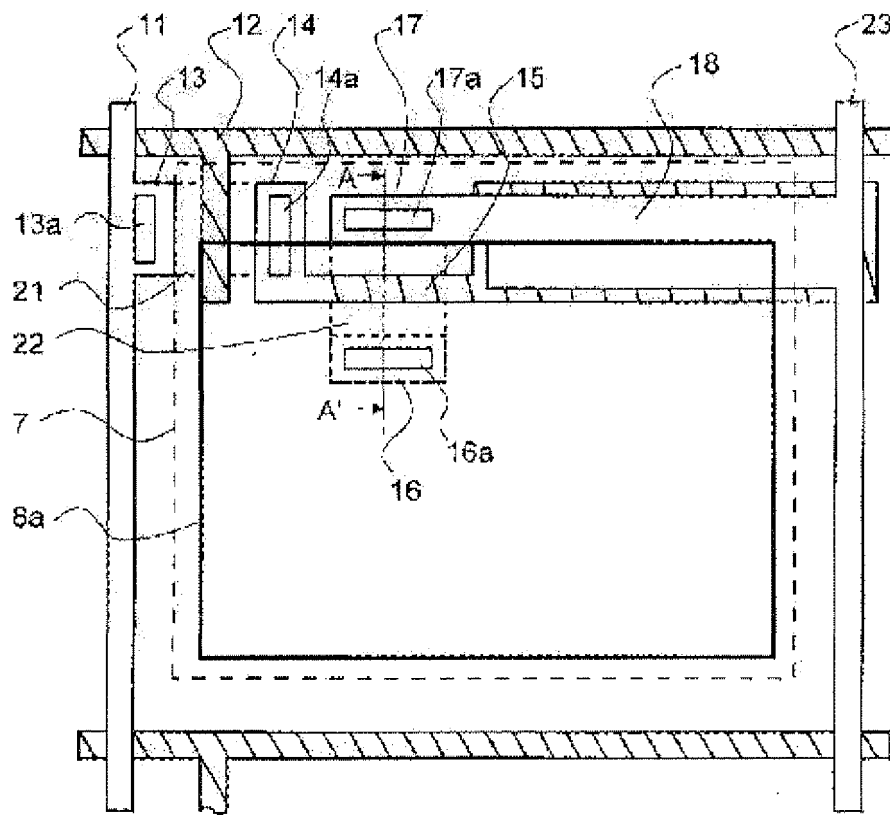


FIG. 3

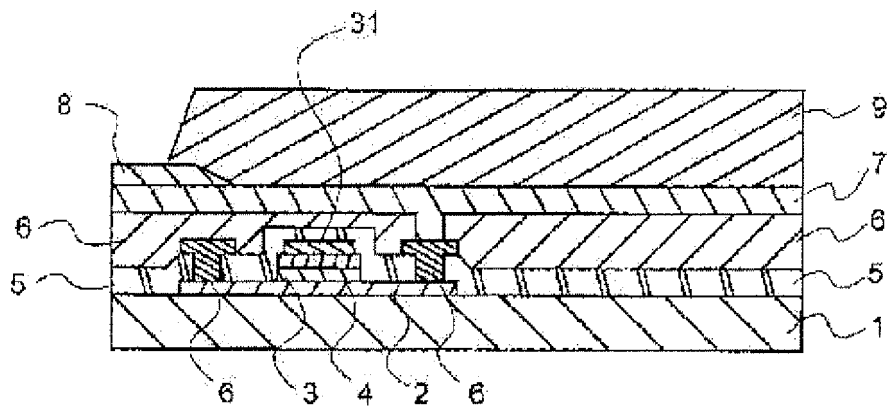


図14

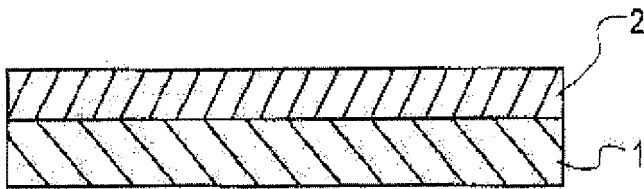


図15

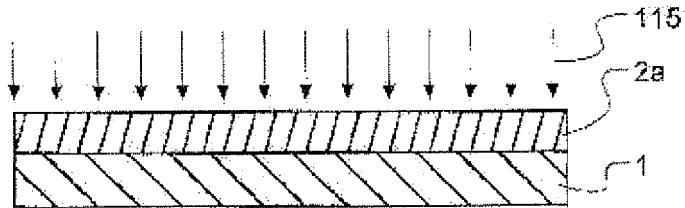


図16

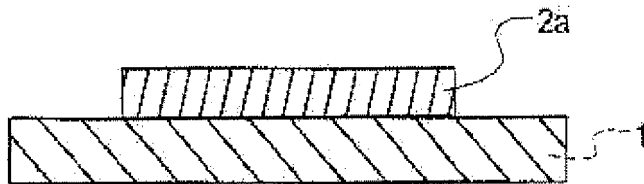


図17

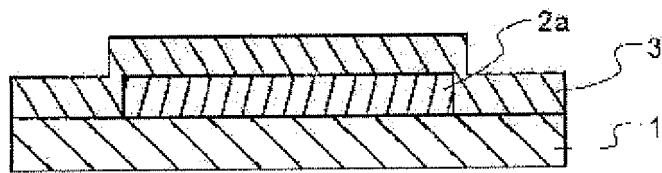
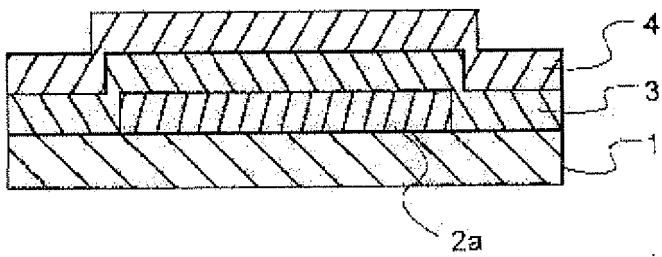


図18



5.200

